

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-051989

(43)Date of publication of application : 21.02.2003

(51)Int.Cl.

H04N 5/335
H01L 27/146
H01L 31/10

(21)Application number : 2001-239322

(71)Applicant : CANON INC

(22)Date of filing : 07.08.2001

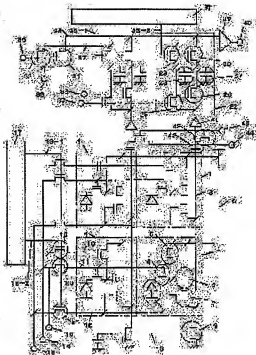
(72)Inventor : SHINOHARA MASATO

(54) PHOTOELECTRIC CONVERTER, SOLID-STATE IMAGE PICKUP DEVICE AND SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a photoelectric converter that can enhance S/N by reducing FPN(Fixed Pattern Noise) and random noise.

SOLUTION: The photoelectric converter including pixels for converting an optical signal into an electric signal and generating an amplification signal, on the basis of the electrical signal, is provided with an amplifier that amplifies the amplification signal outputted from the pixels, an application means that applies a clamp level to the amplifier when the pixel outputs a noise signal caused, when the pixel generates an amplification signal, a first capacitor that stores an offset of the amplifier, a second capacitor that stores the offset of the amplifier and the output of the amplifier and a difference means that differentiates each signal stored in the first and second capacitors.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

03500.017982

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-51989

(P2003-51989A)

(43)公開日 平成15年2月21日 (2003.2.21)

(51)IntCl. ⁷	識別記号	F I	テマコード(参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L 27/146		H 0 1 L 27/14	A 5 F 0 4 9
31/10		31/10	G

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願2001-239322(P2001-239322)

(22)出願日 平成13年8月7日(2001.8.7)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 徳原 真人

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74)代理人 100065385

弁理士 山下 義平

Fターム(参考) 4M118 A05 AB01 BA14 CA02 DD09

DD10 DD12 FA06

5C024 BX01 CX04 GX03 GY39 HX09

HX17 HX29 IX35

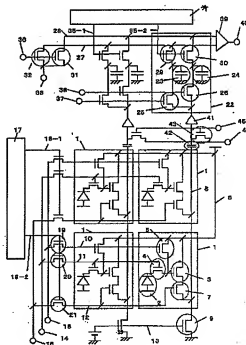
SF048 WA01 NA04 NB05 UA05 UA20

(54)【発明の名称】 光電変換装置、固体撮像装置及びシステム

(57)【要約】

【課題】 FPNやランダムノイズを減らしてS/N比を向上させる。

【解決手段】 光信号を電気信号に変換し、当該電気信号に基づく増幅信号を生成する画素を配列した光電変換装置において、少なくとも前記画素から出力される増幅信号を増幅するアンプと、前記画素で増幅信号を生成する際の生じるノイズ信号を当該画素から出力しているときに前記アンプにクランプ電位を印加する印加手段と、前記アンプのオフセットが蓄積される第1容量と、前記アンプのオフセットと前記アンプの出力とが蓄積される第2容量と、前記第1及び第2容量で保持されている各信号を差分する差分手段とを備える。



【特許請求の範囲】

【請求項1】 光信号を電気信号に変換し、当該電気信号に基づく増幅信号を生成する画素を配列した光電変換装置において、

前記画素の電位をリセットする際に発生したノイズ信号が重畳された増幅信号を少なくとも増幅するアンプと、前記ノイズ信号又は前記アンプのオフセットを除去する除去手段とを備えることを特徴とする光電変換装置。

【請求項2】 前記アンプは、前記画素と前記除去手段との間に設けられていることを特徴とする請求項1記載の光電変換装置。

【請求項3】 前記除去手段は、前記ノイズ信号と前記アンプのオフセットとを蓄積する第1容量と、前記ノイズ信号と前記アンプのオフセットと前記アンプの出力信号を蓄積する第2容量と、前記第1及び第2容量で保持されている各信号を差分する差分手段とを備えることを特徴とする請求項1又は2記載の光電変換装置。

【請求項4】 前記除去手段は、前記ノイズ信号をクランプするクランプ手段と、前記クランプ手段によるクランプ電位を保持すると共に前記アンプの出力を保持する容量とを備えることを特徴とする請求項1又は2記載の光電変換装置。

【請求項5】 光信号を電気信号に変換し、当該電気信号に基づく増幅信号を生成する画素を配列した光電変換装置において、

前記画素から出力される増幅信号を少なくとも増幅するアンプと、前記画素の電位をリセットする際に生じるノイズ信号を当該画素から出力しているときに前記アンプにクランプ電位を印加する印加手段と、前記アンプのオフセットが蓄積される第1容量と、前記アンプのオフセットと前記アンプの出力とが蓄積される第2容量と、前記第1及び第2容量で保持されている各信号を差分する差分手段とを備えることを特徴とする光電変換装置。

【請求項6】 前記アンプは、前記増幅信号の伝送線に設けられていることを特徴とする請求項5記載の光電変換装置。

【請求項7】 前記アンプは、一定電流で動作する差動入力段と、一定電流で動作するソースフォロワ又はエミッタフォロワとを備えることを特徴とする請求項1から6のいずれか1項記載の光電変換装置。

【請求項8】 前記アンプのゲインは、該アンプに備えている複数容量の容量比で決められることを特徴とする請求項1から7のいずれか1項記載の光電変換装置。

【請求項9】 前記アンプは、一方の電極が差動入力段に接続され他方の電極が所定電位に接続される容量と、一方の電極が差動入力段に接続され他方の電極がソースフォロワ又はエミッタフォロワに接続される容量とを備えることを特徴とする請求項1から8のいずれか1項記載の光電変換装置。

【請求項10】 請求項1から9のいずれか1項記載の

光電変換装置を備えることを特徴とする固体撮像装置。

【請求項11】 請求項10記載の固体撮像装置を備えることを特徴とする固体撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換装置、固体撮像装置及びシステムに関し、特に、デジタルカメラなどの光電変換装置、固体撮像装置及びシステムに関するものである。

【0002】

【従来の技術】従来、固体撮像装置としては、そのS/N比の良さからCCD撮像素子が多く使われている。しかし、一方では、使い方の簡便さや消費電力の小ささを長所とするいわゆる増幅型固体撮像装置の開発も行われてきた。

【0003】増幅型固体撮像装置とは、フォトダイオード等の光電変換素子で光信号を電気信号に変換し、この電気信号をトランジスタの制御電極に導くことで、トランジスタの主電極から電気信号に基づく増幅信号を出力するものであり、増幅用トランジスタとしてSITを使ったSIT型イメージセンサ(A. Yusa, J. Nishizawa et al., "SIT image sensor: Design consideration and characteristics," IEEE trans. Vol. ED-33, pp.735-742, June 1986.)、バイポーラトランジスタを使ったBASIS(N.Tanaka et al., "A 310K pixel bipolar imager (BASIS)," IEEE Trans. Electron Devices, vol.35, p. 646-652, May 1990)、制御電極が空乏化するJFETを使ったQMD(中村ほか「ゲート蓄積型MOSフォトトランジスタイメージセンサ」、テレビ学会誌, 41, 11, pp.107-108, Nov., 1987)、MOSTトランジスタを使ったCMOSセンサ(S.K.Mendis, S.E.Kemeny and E.R.Fossu m, "A 128 X128 CMOS active image sensor for highly integrated imaging systems," in IEDM Tech. Dig., 1993, pp. 583-586.)などがある。

【0004】特に、CMOSセンサはCMOSプロセス、とのマッチングがよく、周辺CMOS回路をオンチップ化できることから、開発に力が注がれている。しかし、これらの増幅型固体撮像装置に共通する欠点は、各画素に備わる増幅用トランジスタの出力オフセットが各画素毎に異なるため、イメージセンサの信号としては固定パターンノイズ(FPN)がのるということである。このFPNを除くため、従来色々な信号読み出し回路が工夫されているが、ここではCMOSセンサの代表的な例を以下に説明する。

【0005】図8は、従来のCMOSイメージセンサを示す回路図である。図8において、1は画素、2は光信号を電気信号に変換し蓄積するフォトダイオード、4はフォトダイオード2に蓄積された電気信号を転送する転送用MOSトランジスタ、3はフォトダイオード2から転送された光信号を増幅する増幅用MOSトランジスタ

タ、5は増幅用MOSトランジスタ3のゲート電極電位をリセットするリセット用MOSトランジスタ、6はリセット用MOSトランジスタ5のドレイン電極と増幅用MOSトランジスタ3のドレイン電極に接続される素子1側へ電源電位を供給する電源電位供給線、7は電気信号に基づく増幅信号の出力元の素子1を選択する選択スイッチ用MOSトランジスタ、8は増幅信号を伝送する信号出力線、9は垂直出力線8に定電流を供給するための定電流供給用MOSトランジスタである。

【0006】また、10はリセット用MOSトランジスタ5のゲート電位を制御するためのリセット制御線、11は転送用MOSトランジスタ4のゲート電位を制御するための転送制御線、12は選択用MOSトランジスタ7のゲート電位を制御するための選択制御線、13はMOSトランジスタ9が定電流供給源となるような飽和領域動作をするようにMOSトランジスタ9のゲートに一定の電位を供給するための定電位供給線である。

【0007】さらに、14はリセット制御線11にリセットパルスを供給するためのパルス端子、15は転送制御線10に転送パルスを供給するためのパルス端子、16は選択制御線12に選択パルスを供給するためのパルス端子、17は行列配置の素子1の行を順次選択走査するための垂直走査回路、18-1、18-2は垂直走査回路の第1、第2行選択出力線、19はリセット制御線10にパルス端子15からのパルスを通くスイッチ用MOSトランジスタ、20は転送制御線11にパルス端子14からのパルスを通くスイッチ用MOSトランジスタ、21は選択制御線12にパルス端子16からのパルスを通くためのスイッチ用MOSトランジスタである。

【0008】さらにまた、22は素子1からの信号を読み出す読み出し回路、23は素子1のリセット信号出力を保持する容量、24は素子1の光信号出力を保持する容量、25は垂直出力線8と容量23との導通を制御するスイッチ用MOSトランジスタ、26は垂直出力線8と容量24との導通を制御するスイッチ用MOSトランジスタ、37、38は各々スイッチ用MOSトランジスタ25、26のゲートにパルスを加印するパルス供給端子、27は容量23に保持されたノイズ信号が伝送される水平出力線、28は容量24に保持された光信号が伝送される水平出力線、29は容量23と水平出力線27との導通を制御するスイッチ用MOSトランジスタ、30は容量24と信号出力線28との導通を制御するスイッチ用MOSトランジスタである。

【0009】また、31は水平出力線27の電位をリセットする水平出力線リセット用MOSトランジスタ、32は水平出力線28の電位をリセットする水平出力線リセット用MOSトランジスタ、33は水平出力線リセット用MOSトランジスタ31、32のソース電極にリセット電位を供給する電源端子、34は行列配置の素子1の列毎に設けられた容量23、24を順次選択する水平

走査回路、35-1、35-2はスイッチ用MOSトランジスタ29、30に接続され、36は水平出力線リセット用MOSトランジスタ31、32のゲートにパルスを加印するパルス供給端子、39は水平出力線27の電位と信号出力線28の電位との差電圧を増幅して出力する差動アンプ、40は差動アンプ39の出力端子である。

【0010】なお、図8には、簡単のため2行2列の素子1を示しているが、実際には用途に応じた行列数となる。

【0011】図9は、図8の動作を示すタイミングチャートである。なお、図8で示されているMOSトランジスタはすべてN型とし、ゲート電位がハイレベルでオン状態、ローレベルでオフ状態になるとして説明する。まず、垂直走査回路17によって第1行選択出力線18-1に印加しているパルス信号がハイレベルに切り替えられ、第1行の素子1の動作が可能となる。パルス端子16に印加しているパルス信号がハイレベルに切り替わると、素子1の増幅用MOSトランジスタ3のソースと定電流供給用MOSトランジスタ9とが接続され、素子1側からの信号が垂直出力線8へ出力可能になる。

【0012】パルス端子15に印加しているパルス信号をハイレベルにすることで、リセット用MOSトランジスタ5をオンして、増幅用MOSトランジスタ3のゲート部をリセット電位にリセットする。

【0013】つぎに、パルス供給端子37に印加しているパルスをハイレベルに切り替え、素子1の出力信号を読み出して、MOSトランジスタ25を通して容量23に蓄積する。

【0014】次に、パルス端子14に印加しているパルスをハイレベルにすることで、フォトダイオード2で生成された光信号を、転送用MOSトランジスタ4を通してMOSトランジスタ3のゲートに転送する。

【0015】ここで、MOSトランジスタ3のゲートに転送した光信号には、素子1の電位のリセット時に発生したノイズ信号が重畳される。

【0016】引き続き、パルス供給端子38にハイレベルのパルスを印加すると、ノイズ信号が重畳された光信号に基づく増幅信号がMOSトランジスタ26を通して容量24に蓄積される。

【0017】そして、水平走査回路34が駆動されれば、第1列選択出力線35-1、第2列選択出力線35-2に出力されているパルス信号が順次ハイレベルとなり、容量23、24に蓄積された信号は、それぞれMOSトランジスタ29、30を通して水平出力線27、28に出力される。

【0018】第1列選択出力線35-1、第2列選択出力線35-2に、ハイレベルのパルスが出力される前にはパルス供給端子36に印加しているパルスをハイレベルとし、水平出力線リセット用MOSトランジスタ3

1, 3, 2を通して水平出力線27, 28の電位をリセットしておくことが必要である。

【0019】水平出力線27, 28に導かれた各信号は差動アンプ39に入力され、差分がとられ、出力端子40から光信号に基づく増幅信号が出力される。

【0020】同様に、2行目の画素1からも信号の読み出しを行えば、出力端子40から光信号に基づく増幅信号が出力される。

【0021】

【発明が解決しようとする課題】しかし、従来の技術は、次のような問題点がある。すなわち、差動アンプに入力される信号のゲインが以下説明するように少し異なるので、ノイズが完全に除去できないことである。

【0022】容量23, 24をそれぞれCTN, CTSとし、水平出力線27, 28の容量をそれぞれCHN, CHSとすると、差動アンプ39にいたるまでのゲインはそれぞれ、

$CTN / (CTN + CHN)$

$CTS / (CTS + CHS)$

である。

【0023】設計段階では、

$CTN = CTS$

$CHN = CHS$

として両者のゲインが等しくなるようにするのであるが、2つの出力経路を完全に同様なレイアウトとすることは難しいと、また実際のプロセス工程においては設計からのずれが生ずることのために、実際には2つの経路のゲインはわずかに異なる。

【0024】以上説明した理由で、画素のノイズ信号のばらつきの除去残りが、いわゆる固定パターンノイズ(FPN)として表れ、画素のS/N比が十分あがらない。

【0025】また、差動アンプ39に至るまでの信号出力のゲイン落ちである。すなわち、差動アンプに入力される信号電圧は、画素出力電圧に対して、

$CTS / (CTS + CHS) < 1$

のゲイン分小さくなる。

【0026】一方、差動アンプ39は必ずいくらかのランダム雑音を生じる。また差動アンプ39に至る蓄積容量23, 24や水平出力線27, 28の寄生容量に起因する熱ノイズが生ずる。これによってランダムノイズに関するセンサのS/N比が落ちることになる。

【0027】そこで、本発明はFPNを減らしてS/N比を向上させることを課題とする。

【0028】また、本発明は、ランダムノイズを減らしてS/N比を向上させることを課題とする。

【0029】

【課題を解決するための手段】上記課題を解決するために、光信号を電気信号に変換し、当該電気信号に基づく増幅信号を生成する画素を配列した光電変換装置におい

て、前記画素の電位をリセットする際に発生したノイズ信号が重畳された増幅信号を少なくとも増幅するアンプと、前記ノイズ信号又は前記アンプのオフセットを除去する除去手段とを備えることを特徴とする。

【0030】また、本発明は、光信号を電気信号に変換し、当該電気信号に基づく増幅信号を生成する画素を配列した光電変換装置において、前記画素から出力される増幅信号を少なくとも増幅するアンプと、前記画素の電位をリセットする際に生じるノイズ信号を当該画素から出力しているときに前記アンプにクランプ電位を印加する印加手段と、前記アンプのオフセットが蓄積される第1容量と、前記アンプのオフセットと前記アンプの出力とが蓄積される第2容量と、前記第1及び第2容量で保持されている各信号を差分する差分手段とを備えることを特徴とする。

【0031】さらに、本発明の固体撮像装置は、上記光電変換装置を備えることを特徴とする。

【0032】さらにまた、本発明の固体撮像システムは、上記固体撮像装置を備えることを特徴とする。

【0033】

【発明の実施の形態】(実施形態1) 図1は、本発明の実施形態1の固体撮像装置の等価回路図である。図1において、1は画素、2は光信号を電気信号に変換し蓄積するフォトダイオード、4はフォトダイオード2に蓄積された電気信号を転送する転送用MOSTランジスタ、3はフォトダイオード2から転送された電気信号を増幅する増幅用MOSTランジスタ、5は増幅用MOSTランジスタ3のゲート電極等の電位をリセットするリセット用MOSTランジスタ、6はリセット用MOSTランジスタ5のドレイン電極と増幅用MOSTランジスタ3のドレイン電極に接続され画素1へ電源電位を供給する電源電位供給線、7は電気信号に基づく増幅信号の出力元の画素を選択する選択スイッチ用MOSTランジスタ、8は増幅信号を伝送する垂直出力線、9は垂直出力線8に定電流を供給するための定電流供給用MOSTランジスタである。

【0034】また、10はリセット用MOSTランジスタ5のゲート電位を制御するためのリセット制御線、11は転送用MOSTランジスタ4のゲート電位を制御するための転送制御線、12は選択用MOSTランジスタ7のゲート電位を制御するための選択制御線、13はMOSTランジスタ9が定電流供給線となるような飽和領域動作をするようにMOSTランジスタ9のゲートに一定の電位を供給するための定電位供給線である。

【0035】さらに、14はリセット制御線11にリセットパルスを提供するためのパルス端子、15は転送制御線12に転送パルスを提供するためのパルス端子、16は選択制御線13に選択パルスを供給するためのパルス端子、17は画素1の行を順次選択走査する垂直走査回路、18-1, 18-2は垂直走査回路17の第1、

第2行選択出力線、19はリセット制御線10にパルス端子15からのパルスを送くスイッチ用MOSトランジスタ、20は転送制御線11にパルス端子14からのパルスを送くスイッチ用MOSトランジスタ、21は選択制御線12にパルス端子16からのパルスを送くためのスイッチ用MOSトランジスタである。

【0036】また、41は各列にあって図素1からの各信号を増幅するゲインアンプ、42は図素1からの出力をクランプするクランプ容量、43はゲインアンプ41の入力電位をクランプするためのMOSスイッチ、44はクランプ電位供給端子、45はクランプスイッチ43のゲートにスイッチパルスを送くための供給端子である。

【0037】さらにまた、22は図素1からの信号を読み出す読み出し回路（除去回路）、23は図素1の電位のリセット時に発生するノイズ信号に基づく信号の出力時にゲインアンプ41のオフセットを保持する容量、24はゲインアンプ41のオフセットとゲインアンプ41の出力を保持する容量、25は垂直出力線8と容量23との導通を制御するスイッチ用MOSトランジスタ、26は垂直出力線8と容量24との導通を制御するスイッチ用MOSトランジスタ、37、38は各々スイッチ用MOSトランジスタ25、26のゲートにパルスを送く印加するパルス供給端子、27は容量23に保持された信号が伝送される水平出力線、28は容量24に保持された信号が伝送される水平出力線、29は容量23と水平出力線27との導通を制御するスイッチ用MOSトランジスタ、30は容量24と信号出力線28との導通を制御するスイッチ用MOSトランジスタである。

【0038】また、31は水平出力線27の電位をリセットする水平出力線リセット用MOSトランジスタ、32は水平出力線28の電位をリセットする水平出力線リセット用MOSトランジスタ、33は水平出力線リセット用MOSトランジスタ31、32のソース電極にリセット電位を供給する電源端子、34は容量23、24を順次選択する水平走査回路、35-1、35-2はスイッチ用MOSトランジスタ29、30に水平走査回路34からの信号を送く第1、第2選択出力線、36は水平出力線リセット用MOSトランジスタ31、32のゲートにパルスを送くパルス供給端子、39は水平出力線27の電位と信号出力線28の電位との差電圧を増幅して出力する差動アンプ、40は差動アンプ39の出力端子である。

【0039】なお、図1には、簡単のため図素1を2行2列に配列した様子を示しているが、実際には、図素1の数は用途に応じた数となる。また、図素1は、マトリクス状の配列に限定されるものではなく、デルタ状や、ハニカム状に配列するようにしてもよい。

【0040】図2は、図1のゲインアンプ41の等価回路図である。図2において、46は差動入力段、47は

非反転入力部、48は反転入力部、49は定電流供給用のMOSトランジスタ、50は出力段であるソースフォロワ、51は出力部、52は定電流供給用のMOSトランジスタ、53は差動入力段46の出力部とソースフォロワ50の入力部とを接続する結線、54は出力部51と反転入力部48とを接続するMOSトランジスタ、55は一方の電極が反転入力部48に接続され他方の電極が接地又は固定電位に接続されている容量、56は一方の電極が反転入力部48に接続され他方の電極が出力部51に接続されている容量、57はMOSトランジスタ49、52のゲートに一定電位を供給する端子、58はMOSトランジスタ54のゲートに制御パルスを送く端子である。

【0041】なお、ゲインアンプ41は、オフセットばらつきが図素1のリセットばらつきよりも小さくなるように設計されるものであって、ゲインの絶対値が1よりも大きいものであれば、構成は図2に示すものに限定されず、例えば他のトランジスタを使って差動入力段が構成されていても、また、ソースフォロワに代えてエミッタフォロワとしてもよい。

【0042】オフセットに関しては、ゲインアンプ41のレイアウトに関する制約が図素1のレイアウトに関する制約よりも一般にずっと緩やかであるので、オフセットばらつきを小さく設計することは十分可能である。

【0043】また、ゲインアンプ41のゲインを1よりも大きくすることによって、図素1から出力される信号は最終的にゲイン倍されたものとなる。よって差動アンプ39のノイズや容量23、24に起因する熱雑音が変わらなくても、ランダムノイズに関するS/N比が向上する。

【0044】ちなみに、図2に示すゲインアンプ41は、動作が信号電圧の大小に依存しない一定の電流で行うことが可能である。また、後述するように容量55、56の容量分極比を定めるだけでゲインを簡単に設定でき、容量分極比は製造ばらつきを受けることが小さく、一般に安定して形成されるため、一定のゲインを得やすいというメリットがある。

【0045】ゲインアンプ41の電流が信号電圧に依存すると、ゲインアンプ41に供給する接地線、電源線の抵抗に起因する電圧降下量が変動するため、容量23、24におけるオフセットレベルが異なり、かつその差異が信号量によって変動するので、オフセット除去率が低下してFPNに対するS/N比が低下するが、ゲインアンプ41によればそのようなS/N比低下を防ぐことができるというメリットがある。

【0046】図3は、図1の動作を示すタイミングチャートである。なお、図1で示されているMOSトランジスタはすべてN型とし、ゲート電位がハイレベルでオン状態、ローレベルでオフ状態になるとして説明する。

【0047】まず、垂直走査回路17によって第1行選

9
 出力線 18-1 に印加しているパルス信号がハイレベルに切り替えられると、第 1 行の画素 1 の動作が可能となる。パルス端子 16 に印加しているパルス信号がハイレベルに切り替わると、画素 1 の増幅用 MOS トランジスタ 3 のソースと定電流供給用 MOS トランジスタ 9 とが接続され、画素 1 側からの信号が垂直出力線 8 へ出力可能となる。

【0048】パルス端子 15 に印加しているパルス信号をハイレベルにすることで、リセット用 MOS トランジスタ 5 をオンして、増幅用 MOS トランジスタ 3 のゲート部をリセット電位にリセットする。

【0049】次に、供給端子 45 から MOS トランジスタ 43 のゲートに印加しているパルス信号をハイレベルに切り替えて、さらに、パルス供給端子 37 に印加しているパルス信号をハイレベルに切り替え、ゲインアンプ 41 の入力電位をクランプ電位とする。

【0050】ここで、ゲインアンプ 41 の入力部及び出力部は、それぞれ図 2 の非反転入力部 47 及び出力部 51 である。

【0051】MOS スイッチ 54 をオンしている時には、ゲインアンプ 41 はヴォルテージフォロウとして動作し、反転入力部 48 が初期化される。このため、供給端子 45 に印加しているパルスに同期したパルス信号を供給端子 58 に印加することによって、出力部 51 の電位を、非反転入力部 47 の電位にゲインアンプ 41 のオフセット電圧を上乗せしたものとし、容量 23 にゲインアンプ 41 のオフセットを蓄積する。

【0052】次に、パルス端子 14 に印加しているパルス信号をハイレベルにすることで、フォトダイオード 2 で生成された光信号を、転送用 MOS トランジスタ 4 を通じて MOS トランジスタ 3 のゲートに転送する。

【0053】ここで、MOS トランジスタ 3 のゲートに転送した光信号は、画素 1 の電位のリセット時に発生したノイズ信号が重畳される。

【0054】引き続き、パルス供給端子 38 にハイレベルのパルス信号を印加すると、ゲインアンプ 41 に、ノイズ信号が重畳された光信号に基づく増幅信号が入力されることになる。このとき、MOS スイッチ 54 がオフであるので、この入力信号は電圧増強型の演算増幅器（オペアンプ）として動作し、容量 55、56 の容量分割比で決まるゲイン倍に増幅される。

【0055】このため、容量 24 にはゲインアンプの出力信号に、ゲインアンプ 41 のオフセットレベルが重畳された信号が蓄積される。ちなみに、容量 55、56 の値をそれぞれ C1、C2 とすると、 $(C1 + C2) / C2$ がゲインとなる。

【0056】そして、水平走査回路 34 が駆動されれば、第 1 列選択出力線 35-1、第 2 列選択出力線 35-2 に出力されているパルス信号が順次ハイレベルとなり、容量 23、24 に蓄積された信号は、それぞれ MO

S トランジスタ 29、30 を通じて水平出力線 27、28 に出力される。

【0057】第 1 列選択出力線 35-1、第 2 列選択出力線 35-2 に、ハイレベルのパルス信号が出力される前にはパルス供給端子 36 に印加しているパルス信号をハイレベルとし、水平出力線リセット用 MOS トランジスタ 31、32 を通じて水平出力線 27、28 の電位をリセットしておく必要がある。

【0058】水平出力線 27、28 に導かれた各信号は差動アンプ 39 に入力され、差分がとられ、出力端子 40 から光信号に基づく増幅信号が出力される。

【0059】同様に、2 行目の画素 1 からも信号の読み出しを行えば、出力端子 40 から光信号に基づく増幅信号が出力される。

【0060】このように、画素 1 のノイズ信号の出力期間に MOS スイッチ 43 によってクランプを行い、ゲインアンプ 41 の入力電位をクランプ電位にすると、ゲインアンプ 41 のオフセットは差動アンプ 39 によって除去され、最終的にはオフセットばらつきを小さいセンサ信号を得ることができる。

【0061】（実施形態 2）図 4 は、本発明の実施形態 2 の固体撮像装置の等価回路図である。図 4 において、59 はクランプ回路を含む読み出し回路（除去手段）、60 はクランプ後の信号を保持するための容量、61 はクランプ容量 42 と容量 60 との導通を制御するスイッチ用 MOS トランジスタ、62 は容量 60 に保持された信号が出力される水平出力線、65 は水平出力線 62 の電位をリセットする MOS トランジスタ、66 は水平出力線 62 を通じて伝送される信号を増幅するアンプ、67 はアンプ 66 の出力端子である。なお、図 4 において図 1 と同様の部分については同一符号を付している。

【0062】図 5 は、図 4 の動作を示すタイミングチャートである。なお、図 4 で示されている MOS トランジスタはすべて N 型とし、ゲート電位がハイレベルでオンし、ローレベルでオフになるとして説明する。

【0063】まず、垂直走査回路 17 によって第 1 行選択出力線 18-1 に印加しているパルス信号がハイレベルに切り替えられると、第 1 行の画素 1 の動作が可能となる。パルス端子 16 に印加しているパルス信号がハイレベルに切り替わると、画素 1 の増幅用 MOS トランジスタ 3 のソースと定電流供給用 MOS トランジスタ 9 とが接続され、画素 1 側からの信号が垂直出力線 8 へ出力可能となる。

【0064】パルス端子 15 に印加しているパルス信号をハイレベルにすることで、リセット用 MOS トランジスタ 5 をオンして、増幅用 MOS トランジスタ 3 のゲート部をリセット電位にリセットする。

【0065】すると、画素 1 から垂直出力線 8 に、リセット時に生じるノイズ信号に基づく増幅信号が出力される。この増幅信号は、ゲインアンプ 41 によって増幅さ

れる。

【0066】この後、パルス入力端子64から入力しているパルス信号をハイレベルとすると共に、供給端子45に印加しているパルス信号をハイレベルとすると、容量60がクランプ電位供給端子44から供給するクランプ電位となる。

【0067】次に、パルス端子14に印加しているパルス信号をハイレベルにすることで、フォトダイオード2で生成された光信号を、転送用MOSトランジスタ4を通してMOSトランジスタ3のゲートに転送する。

【0068】すると、MOSトランジスタ3のゲートがオンされ、画素1からノイズ信号が重畳された光信号に基づく増幅信号が画素1から出力され、ゲインアンプ41に入力される。

【0069】この結果、容量60にはゲインアンプ41の出力信号に基づく電位にクランプ電位が加算された状態になる。この時点でパルス入力端子64に印加しているパルス信号をローレベルに戻す。容量60に蓄積された信号は、クランプ動作によって画素1のノイズ信号もゲインアンプ41のオフセットも含まない信号となる。

【0070】この後、水平走査回路34が駆動されれば、第1列選択出力線35-1、第2列選択出力線35-2に出力されているパルス信号が順次ハイレベルとなり、画素1の各列の容量60に蓄積された信号は、それぞれMOSトランジスタ63を通して水平出力線62に導かれる。

【0071】第1列選択出力線35-1、第2列選択出力線35-2に出力されているパルス信号を順次ハイレベルに切り替える前には、実施形態1と同様に水平出力線62の電位をリセットしておくことが必要である。水平出力線62に導かれた信号出力はアンプ68に入力され、光信号に基づく増幅信号が出力端子67から出力される。

【0072】同様に、2行目の画素1からも信号の読み出しを行えば、出力端子67から光信号に基づく増幅信号が出力される。

【0073】なお、画素1からの信号の電圧は、クランプ容量42と蓄積容量60との容量分割、及び容量60と信号出力線62の容量との容量分割と、2度の容量分割を受けるが、ゲインアンプ41によってゲイン倍されるので、アンプ68に入力される時の信号電圧が大きく低下することはない。

【0074】一方、画素1のノイズ信号のばらつき、及びゲインアンプ41のオフセットばらつきは、クランプ回路によって除去されるので、FPNに関してもランダムノイズに関しては、高いS/N比となる。

【0075】また、本実施形態におけるゲインアンプ41の入力部容量は、十分に小さくするので、任意画素1から出力される信号は、實際上、垂直出力線8の容量のみをチャージアップすればよく、画素出力を高速化でき

る。

【0076】（実施形態3）図8は、本発明の実施形態3の固体撮像装置の等価回路図である。図8に示す固体撮像装置の動作は図1の固体撮像装置の動作と同様である。但し、本実施形態の固体撮像装置は、クランプ回路を備えていないので、蓄積容量23にはゲインアンプ41のオフセットに加え画素1のノイズ信号に基づく信号が蓄積され、蓄積容量24には、ゲインアンプ41のオフセットとゲインアンプ41の出力信号に加え画素1のノイズ信号に基づく信号が蓄積される。

【0077】このため、アンプ39の出力端子40には、固定パターンノイズとして、画素1のノイズ信号に基づく信号とゲインアンプ41のオフセットとのばらつきの除去残りがあらわれるが、ゲインアンプ41のオフセットのばらつきは小さいので、さほど問題はない。

【0078】また、ゲインアンプ41では、1よりも大きなゲインで信号増幅を行うので、FPNに関する本実施形態のS/N比は向上するし、ランダムノイズに関するS/N比も、信号がゲインアンプ41でゲイン倍されることにより向上する。

【0079】また、実施形態2と同様に、画素1からの出力は、實際上、垂直出力線8の寄生容量のみをチャージアップすればよく、画素出力を高速化できるという効果がある。

【0080】以上、各実施形態では、画素1においてMOSトランジスタによって信号増幅を行っている場合を例に説明したが、他のトランジスタによって信号増幅を行ってもよい。

【0081】（実施形態4）図7は、本発明の実施形態4の撮像システムの構成的な構成を示すブロック図である。図7において、1051はレンズのプロジェクトメインスイッチを兼ねるバリア、1052は被写体の光学像を実施形態1〜3で説明した固体撮像装置1054に結像させるレンズ、1053はレンズ1052を通った光量を可変するための絞り、1054はレンズ1052で結像された被写体を画像信号として取り込むための固体撮像素子、1055は固体撮像素子1054から出力される画像信号に各種の補正、クランプ等の処理を行う撮像信号処理回路、1056は固体撮像素子1054より出力される画像信号のアナログ・デジタル変換を行うA/D変換器、1057はA/D変換器1056より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、1058は固体撮像装置1054、撮像信号処理回路1055、A/D変換器1056、信号処理部1057に各種タイミング信号を出力するタイミング発生部、1059は各種演算とスチル被写体カメラ全体を制御する全体制御・演算部、1060は画像データを一時的に記憶するためのメモリ部、1061は記録媒体に記録又は読み出しを行うための記録制御インターフェース(I/F)部、1062は画像デ

10

20

30

40

50

ータの記録又は読み出しを行うための半導体メモリ等の着脱可能な記録媒体、1063は外部コンピュータ等と通信するための外部インターフェース(I/F)部である。

【0082】つぎに、前述の構成における撮影時のステロビデオカメラの動作について、説明する。バリア1051がオープンされるとメイン電源がオンされ、つぎにコントロール系の電源がオンし、さらに、A/D変換器1056などの撮像系回路の電源がオンされる。

【0083】それから、露光量を制御するために、全体制御・演算部1059は絞り1053を開放にし、固体撮像装置1054から出力された信号は、撮像信号処理回路1055をスルーしてA/D変換器1056へ出力される。

【0084】A/D変換器1056は、その信号をA/D変換して、信号処理部1057に出力する。信号処理部1057は、そのデータを基に露出の演算を全体制御・演算部1059で行う。

【0085】この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部1059は絞り20

を制御する。

【0086】つぎに、固体撮像素子1054から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部1059で行う。その後、レンズ1052を駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズ1052を駆動し測距を行う。

【0087】そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像装置1054から出力された画像信号は、撮像信号処理回路1055において補正等がされ、さらにA/D変換器1056でA/D変換され、信号処理部1057を通り全体制御・演算1059によりメモリ部1060に蓄積される。

【0088】その後、メモリ部1060に蓄積されたデータは、全体制御・演算部1059の制御により記録媒体制御I/F部1061を通り半導体メモリ等の着脱可能な記録媒体1062に記録される。また外部I/F部1063を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0089】

【発明の効果】以上説明したように、本発明によると、FPNやランダムノイズを減らすことが可能となり、S/N比を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1の固体撮像装置の等価回路図である。

【図2】図1のゲインアンプ41の等価回路図である。

【図3】図1の動作を示すタイミングチャートである。

【図4】本発明の実施形態2の固体撮像装置の等価回路図である。

【図5】図4の動作を示すタイミングチャートである。

【図6】本発明の実施形態3の固体撮像装置の等価回路図である。

【図7】本発明の実施形態4の固体撮像システムの模式的な構成を示すブロック図である。

【図8】従来のCMOSイメージセンサを示す回路図である。

【図9】図8の動作を示すタイミングチャートである。

【符号の説明】

- 1 画素
- 2 フォトダイオード
- 3 MOSTランジスタ
- 4 転送用MOSスイッチ
- 5 リセット用MOSスイッチ
- 6 電源電位供給線
- 7 選択スイッチ用MOSスイッチ
- 8 垂直出力線
- 9 定電流供給用MOSTランジスタ
- 10 リセット制御線
- 11 転送制御線
- 12 選択制御線
- 13 定電位供給線
- 14~16 バルス端子
- 17 垂直走査回路
- 18-1 第1行選択出力線
- 18-2 第2行選択出力線
- 19~21 スイッチ用MOSTランジスタ
- 22 読み出し回路
- 23, 24 容量
- 25, 26 スイッチ用MOSTランジスタ
- 27, 28, 62 水平出力線
- 30 スイッチ用MOSTランジスタ
- 31, 32 水平出力線リセット用MOSTランジスタ
- 33 電源端子
- 34 水平走査回路
- 35-1 第1列選択出力線
- 35-2 第2列選択出力線
- 36~38 バルス供給端子
- 39 差動アンプ
- 40 出力端子
- 41, 66 ゲインアンプ
- 42 クランプ容量
- 43 MOSTランジスタ
- 44 クランプ電位供給端子
- 45 供給端子
- 46 差動入力段
- 47 非反転入力部
- 48 反転入力部
- 49 MOSTランジスタ
- 50 ソースフォロワ

51 出力部

* 54 MOSTランジスタ

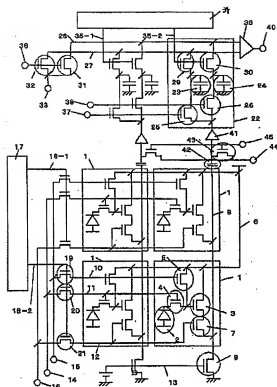
52 MOSTランジスタ

55, 56 容量

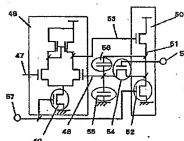
53 結線

* 57, 58 端子

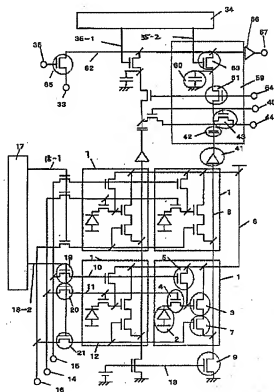
【図1】



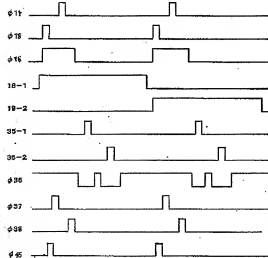
【図2】



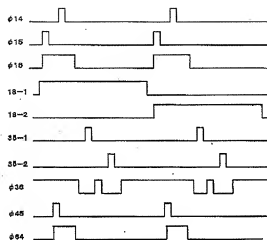
【図4】



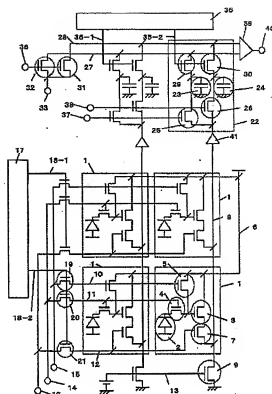
【図3】



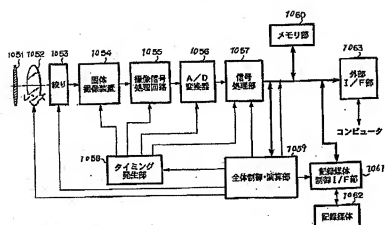
【図5】



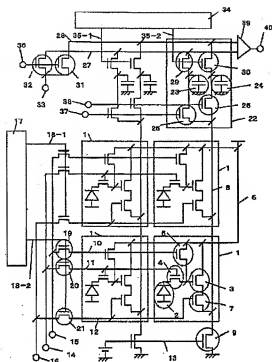
【図6】



【図7】



【図8】



【図9】

